情報伝達遅れを考慮した並列化集積システムの性能限界

Ultimate Functional Throughput of Integrated Systems; Effect of Data Transfer Delay.

奥戸　雄二、磯本　征雄、清水　昭信
Yuji OKUTO, Yukuo ISOMOTO, Akinobu SHIMIZU

概 要

不確定性原理と熱雑音の限界を考慮する事により、単一素子から生体のような超並列システムまでの基礎的な性能限界を統一的に評価する方法を示し、一定のシステムパワーで演算処理を行う場合には少数素子での高速動作よりも、むしろ素子のパワーを制限して素子数を増大させ、並列度を増大させる方が情報処理システムとして高性能のえられる事を既に示した。本報告ではシステムの有限の大きさの為に生ずる情報伝達遅れのシステム性能劣化への影響の度合いを検討し、多数の低速素子を用いたシステムではシステムサイズが大きくなるにもかかわらず、少数の高速素子を用いた場合に比べて高い性能のえられる事を示した。また素子の微細化は情報伝達距離を低下させるため重要である事を示した。

Abstract

Ultimate functional throughput of integrated systems has already been evaluated using uncertainty principle and the thermal limit. In previous treatment, however, data transfer delay was not included. In this paper, the effect of data transfer delay is evaluated. The data transfer delay drastically degrades performance of systems made of fast switching devices. In contrast, performance degradation of systems made of numerous slow switching devices in parallel manner is found to be small. It is shown that the design rule reduction helps to reduce system performance degradation. In addition it is also shown that the importance of realizing system architecture to limit the effect of the data transfer distance.

1 はじめに

従来情報処理技術はそのハードウェア技術の進歩、特にそこに用いられる基本素子の高速化に依存しつつ、その性能・機能を高めており、その性能を示す指数であるファンクショナルスループット、F_t（単位時間に行える処理の数に対応し、$MIPS$、$FLOPS$ 等で示される）は継続的に増大している。

またこのような基本素子性能の向上に頼る以外の方策として、演算部を多数並列化して結果的に高速処理を達成しようとする並列化システム技術やパイプライン方式など、各種アーキテクチャーの改善もなされて来ている。特に並列度に関してはすでに1万程度迄実現されて居り [1]、システム性能は向上しているが、此処でも各々の演算部の処理速度の向上が性能向上に貢献する。　他方上記のような高速で比較的パワーを消費する素子を用いる従来の情報処理装置に対して、人間の脳に代表されるような低パワー、低速の素子（ニューロン）が多数 (10^{10}以上) 超並列に協調して動作することにより、ある種の情報処理に於いては前述の装置と同等もしくは優れた性能を示すことが知られているが、これらを全体的、統合的に比較、説明する取扱いは従来存在しなかった。

これに対して、筆者の一人が物理的極限制約である不確定性原理と熱エネルギー制約を考えることによりこれらのシステムの性能極限を F_t と素子のスイッチング時間 τ との関係で表す基礎的な方法を提案した。[2]

この方法を用いると単一素子から超並列装置までを含む情報処理システムと、超並列動作していると思われる生体での情報処理などの性能を共通の場で比較できる。

その方法はまず動作温度とシステム全体の処理に要するパワーを設定し、次にシステムを構成する最少単位スイッチ素子のスイッチ時間 τ を変化させながらそれに対応するスイッチ素子の最低限必要なパワーを不確定性原理と温度制約から求め、それらの大きい方を本来の必要パワーとして採用し、幾つかのスイッチング素子を組み合わせた演算単位 ; PU の操作に要するパワー並びにその演算時間を決定する。それらを用いてシステムとしての並列度を算出し、ファンクショナルスループットを求めるものである。

得られた結果の概略を図1に示す。此処で横軸は用いられるスイッチ素子の τ であり、先に述べた制約に従い τ の増大と共に単位素子のパワーを減少させ得るため、システムの並列度が増大する。縦軸はそのスイッチを用いて実現される極限の F_t である。

図の領域 I （τ_c より高速側）では不確定性原理が性能を制限しており、領域 II （τ_c より低速側） では熱エネルギーが制限している。また図中の (a)〜(d) は各々の領域で並列度が制限された場合に対応する。

この結果は特定のシステムパワー並びに動作温度に対応する物であり、これらのパラメーターを変化させた場合には図1は変化するがそれらについては別途付録に述べる。

図1から明らかなように一般的に不確定性原理で制約される高速でパワーの大きい物を用いたシステムよりむしろ熱エネルギーで制約される低速、低パワーの物を多数並列動作させる方がシステムとして得られる極限の F_t は大きくなることが期待される。

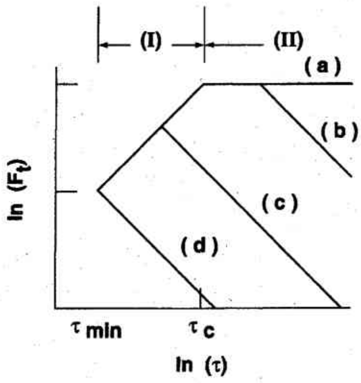

図 1: 基本スイッチ素子のスイッチ時間に対する F_t の並列処理ユニット数依存。図中領域 (I) では不確定性原理が性能を制限しており、(II) では熱制約が性能を制限している。また (d) は並列動作が無い場合、(c)、(b) は並列度が領域 (I) 並びに (II) の領域で制約された場合であり、(a) では、処理ユニット数が性能を制約しない場合である。

しかしながら以上の議論では近来情報処理装置で顕在化している情報伝達遅れの影響が考慮されていない。本報告では上記取扱に情報の伝達遅れを取り入れた場合の結果を報告する。

2 情報伝達遅れの数式化

情報伝達遅れのシステム性能に及ぼす影響を求めるために下記のような仮定を設けて数式化を行った。

仮定１:

有限の寸法を持つシステムを用いて演算を行うためにはスイッチ素子の処理時間と共に情報を伝達するための時間が必要になる。この伝達時間は電気的な処理に於いては回路の大きさのみならず回路の抵抗、容量等が問題になり、その取扱や予測は詳細に行われている [3]。しかし此処では検討対象を特に電気的回路に限らないので、伝達時間の算出には本来素子構造毎に考慮しなければならないのだが、ここではその最短時間を与える光速；C を用い、更には情報伝達に要するパワーも対象とするデバイス構成で異なるためここでは無いものとした。

仮定２：

前報 [2] と同様に情報処理単位；PU は複数個；$i \times m$ 個のスイッチング素子（i 個が並列に、m 個が直列に組み合わさっている）から成っていると仮定し、有限の大きさ（1 辺 L）の正方形であるとした。

仮定３；

情報の伝達遅れは PU 内 ($Intra-PU$) と PU 間 ($Inter-PU$) で発生し、それらは各々 PU の大きさ、システムの大きさ（PU の大きさ並びに PU の数）すなわち PU を構成する基

本スイッチの大きさと PU の数に依存する。

処理の内容によって、情報伝達距離は大きく変化するが、ここでは構造解析などのように情報を近接の素子または PU に伝達することの多い場合（$Nearest$ ）、並びに情報の伝達先がほとんどランダムな場合（$Random$ ）の２つの極限に対して検討を行った。

このような仮定を行うと、システムの処理時間、 τ_{sys} は、$\tau_{sys} = m \times \tau_{switch} + \tau_{intra} + \tau_{inter}$ となる。ここに τ_{intra} は PU 内での伝達遅れであり、 τ_{inter} は PU 間での伝達遅れである。この内 PU 内での情報伝達遅れ、 τ_{intra} に関しては前述の最近接素子への伝達が主なときは、PU が一辺Lであり,PU は $m \times i$ 個のスイッチ素子より成っているため、最近接の $switch$ 間での情報伝達遅れは $(L/(mi)^{1/2})/C$ であり、伝達がランダムな場合は平均的には信号がチップの一辺を伝達すると仮定すれば伝達遅れは L/C となる。

ここで伝達距離をLとした理由は、付録に詳細に示すように、配線層数に制限が無く、斜め配線を許すと、配線の平均長は0.52 Lとなり、直交する xy 方向のみに配線を行う (複数回の x から y へ y から x への折れ曲がりを許すが必ず目的に近づくように配線を行うとする）と、配線長の平均値は0.67Lとなる。但し、現実の配線では、配線層数などにも制約が有るのでここでは配線長の平均を L と仮定した。

また PU 間の遅れ、 τ_{inter} も同様に最近接 PU への情報伝達が主な場合は、L/C で書き表され、Random な場合はシステムが n 個の PU から成るとして、システムをを平面に配置することを仮定し、τ_{intra} の場合と同様に信号がシステムの一辺を伝達すると仮定して、伝達遅れは $(\sqrt{n} \times L)/C$ となる。

この場合の F_t の求め方は先ずシステムのパワー ; W 並びに温度を仮定し、 τ_{switch} を変化させて各々の条件でのスイッチ素子のパワー：pを求め、次に PU ごとのパワーを求め、これからシステムの PU の数を求め、 仮定した PU 寸法からシステムサイズを求めてこれらを用いて上記の情報伝達遅延を算出し、それを含めた各素子の遅延を求めてその値と、前に求めた PU の数とを用いて F_t を求める。

ここで、$F_t = NPU/\tau_{sys}$ であり、NPU はシステムを構成する PU の数であり、τ_{sys} は一つの処理を行うのに必要な時間である。この内、NPU は τ_{switch} が熱制限の下での最小スイッチング速度 τ_{cri1} より小さいときは、$NPU = (2\pi W \tau_{switch}^2)/(hi)$ であり、τ_{switch} が前述の τ_{cri1} より大きいときは、$NPU = W\tau_{switch}/(kTi)$ となる。

また τ_{sys} は前述のように $\tau_{sys} = m \times \tau_{switch} + \tau_{intra} + \tau_{inter}$ で表される。この内、τ_{intra} と τ_{inter} は各々先に述べた、$Nearest; NN$ と $Random; Rand$ の２種類の場合があるのでそれぞれ個別に組み合わせに対して評価を行う必要がある。

更にこれらの取り扱いに於いても前報で詳述したように、NPU は PU の個数であるので整数である為に NPU の小さい場合の取り扱いに注意を要する。

また更に極限として、PU 数が１である場合は PU 間の伝達遅れは存在しないし、更には PU 内の素子が１個であるような極限に於いては情報伝達遅れは単に τ_{switch} となり、従来の $p\tau$ 積で評価できる物に成っていることに注意を要する。

3 システム性能に及ぼす影響の数値的評価

前節で得られた結果を数値的に評価した結果を、図 2、3、4 に示す。これらの結果は前報 [2] と直接比較が出来るように、全て温度 300 K、スイッチングパワー 1W の場合であり、さらに PU の構造では $m=i=100$ を仮定している。

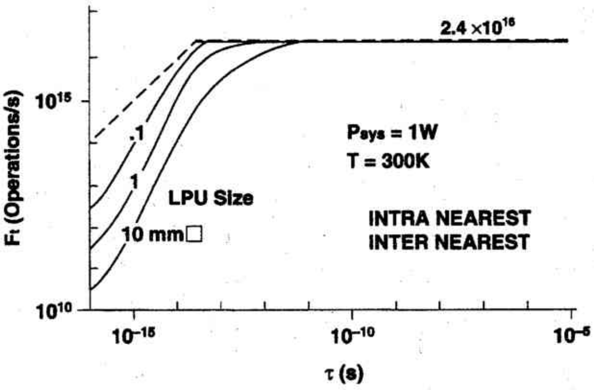

図 2: PU 内並びに PU 間の情報伝達が共に Nearest に行われる場合の F_t と τ_{switch} の関係。ここで PU のサイズは、10mm 角,1mm 角,0.1mm 角に変化させている。(温度は 300K に固定)

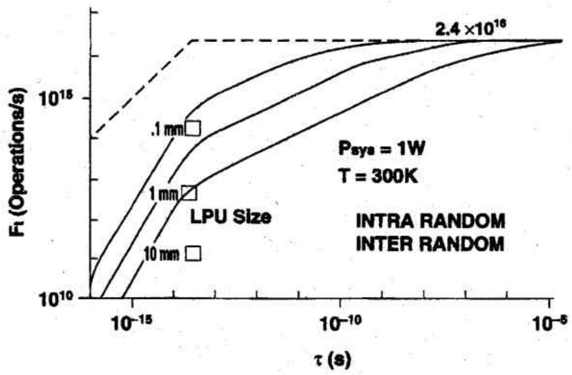

図 3: PU 内並びに PU 間の情報伝達が共に Random に行われる場合の F_t と τ_{switch} の関係。ここで PU のサイズは、10mm 角,1mm 角,0.1mm 角に変化させている。(温度は 300K に固定)

図 2 は、システムの全スイッチングパワーを 1W とした場合の F_t のスイッチ時間 τ に対する依存で特に情報伝達が PU 内、PU 間で最も短い場合 (双方 $Nearest$) での結果である。またパラメーターとして PU サイズが 0.1mm 角、1mm 角、10mm 角に変化させてあるがこれはいわゆるデザインルールと素子構造の複雑さに依存する物である。図 3 は、図 2 と同等で

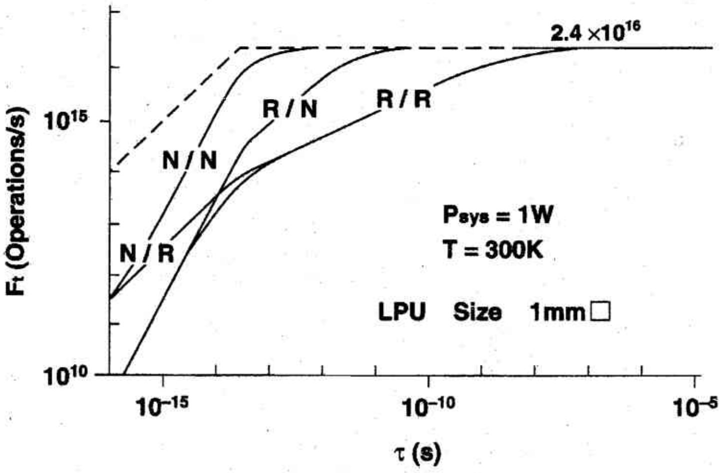

図 4: *PU* サイズを 1mm 角に固定し、*PU* 内、*PU* 間の情報伝達を Random、Nearest に変化させた場合の F_t と τ_{switch} の関係。(温度は 300K に固定)

あるが情報伝達先が *Random* な場合の結果である。図 4 は *PU* サイズを一定にして、*PU* 内、*PU* 間の *Nearest* と *Random* の組み合わせの効果を調べたものである。

これらの図から明らかなように、伝達遅れは高速スイッチを用いた場合に影響が大きく低速素子を用いた場合にはあまり影響が無いことを示しており、究極の性能を得るためにはむしろアーキテクチャー的に可能な限り、低速素子を多数並列に動作させる方が望ましいことを示している。

また情報伝達に関しては全ての図から明らかなように、情報伝達先が *Random* な方が影響が大きい事が明らかである。

4 従来の素子性能評価法, $p\tau$ 積との関係

従来から素子の動作速度（即ち $1/\tau$）を大きくする為にはデバイス構造一定（$p\tau$ 積一定）ではパワーを大きくすること、また $p\tau$ 積を小さくするような新規デバイス構造を採用した場合にでもパワーを大きくすることで速度を向上させ得る事が知られており、単体デバイスの開発指針として広く用いられてきた。またこの $p\tau$ 積の減少は $p\tau = kT$ と $p\tau^2 = h$ で規制されることは従来から知られている。この事を F_t の観点から見ると、$kT =$ 一定と云う部分は、F_t 一定、すなわち図 1 の $\tau > \tau_{cri}$ の部分の F_t に対応している。他方、$p\tau^2 > h$ の部分は、図 1 の $\tau_{min} < \tau < \tau_{cri}$ 間の F_t *vs* τ の関係に対応している。

このような観点から見れば例えば素子のスピードを遅く（τ を大きくして）パワーを小さくすることも考えられるであろうが、携帯機器等の動作速度の遅い物で低電力のシステム用の

素子開発の観点以外にはその方向を進める物はなく、前回の報告は低速低電力のデバイスを例えばシステムのパワーを一定になるだけ集積することにより、システムとしての性能は高速素子を同一パワーになるだけ集積したシステムの性能と比べて勝るとも劣らないことを示した物であり、今回報告の伝達遅延までを考慮した取り扱いの結果は、従来の高速素子を集積した物よりも低速素子を多数集積したシステムの方が優れた性能を示すことを示しており、今まで強調されていなかった新しい指針を与える物である。

5 まとめ

与えられたシステムのパワー並びに動作温度に於いて並列化を許した状態で最大の演算性能（ファンクショナルスループット）を得るためのシステム構成とそこに用いられるスイッチング素子の性能について情報伝達遅れを考慮して検討を行った。その結果システムとしてはむしろスイッチング速度を遅くして動作パワーを少なくした素子を多数並列化させた構造の方が高い演算性能を与えることが明らかにされた。

またその過程に於いて従来デバイス性能評価に用いられてきた $p\tau$ 積の表現 [4] を集積化システムの評価に用いることが出来るように記載方法ならびにその意味を新たに整理し直した物を検討し、集積化システム評価の新たな指針を提案した。

この要求を満たすためには、並列化のアーキテクチャ、ならびにその極限を追求する必要のあることを示した。

また検討結果から微細化は伝達距離を短くするために遅延の効果を低下させるので重要である。

更にここで求めた極限は理想的な物であり、ノイズなどによる現実の極限はここで求めた物よりもう少し低い性能領域で問題になってくるだろう。

参考文献

[1] http://www.llnl.gov/asci/overview

[2] Y. Okuto, Jpn. J. Appl. Phys. 35 (1996) L612 - L615

[3] J. Rubinstein, "Signal Delay in RC Tree Networks", IEEE Trans. on CAD , Vol. CAD-2, No.2, p.202 - 211, July 1983

[4] I. Brodie and J. J. Muray, "The Physics of Microfabrication", Plenum, New York,1982

付録 A

A F_t vs τ_{switch} の システムパワー 並びに温度依存性。

A.1 システムパワー依存性

システムパワー P_s 、即ち温度一定の条件の下ではスイッチに要するパワーに対し F_t は、図5のように変化する。即ち熱制限の下では F_t は P_s に比例して変化し、不確定性原理制約の下でも基本的には P_s に比例して変化するが最終的に到達する最小のスイッチング速度 τ_{min1} は P_s の1/2乗に比例する。また P_s が小さくなって τ_{min1} が τ_c まで増加する $(P_s = (kT)2/I/(h/2\pi)$: その時 τ_{min2} も τ_c である）と、それ以下の P_s に対しては最小のスイッチング時間は τ_{min2} となり P_s^{-1} に比例して増大する。

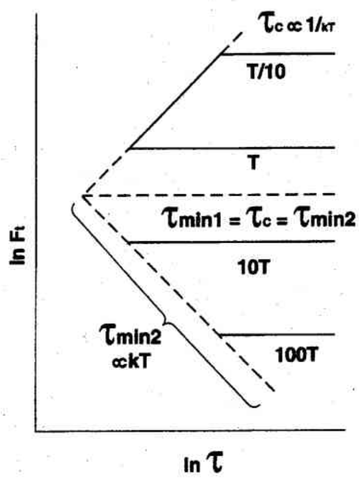

図 5: 温度一定の条件の下でのシステムパワーに対する F_t と τ_{switch} の関係。

A.2 温度依存性

システムパワー一定の条件の下では、温度の変化に対して F_t は図6に示すように変化し、温度の上昇と共に τ_c も低下し、$\tau_{min1}=\tau_c=\tau_{min2}$ の温度を超えると τ_{uc} は表れなくなり、τ_{min2} が最低のスイッチング時間を決めることになりその値は kT に比例して増大する。

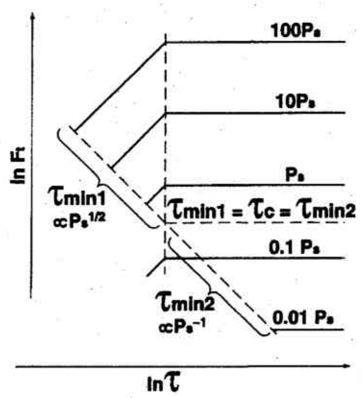

図 6: システムパワー一定の条件の下で温度を変化させた場合の F_t と τ_{switch} の関係。

付録 B

B　$Random$ 結合の場合のチップ上での配線長の予測

ここでは１辺 L の正方形上に $Random$ に配線を行った場合の平均配線長を導出する。但しここでの取り扱いでは、配線層数の制約はない物とした。

B.1　最短距離直線での結線の場合

正方形 (x、 x $+dx) \times (y$、$y+dy)$ の中に１点 P が入る確率は $\frac{1}{L^2}dxdy$ であるから、求める平均値 I は、

$$I=\int_0^L\int_0^L\int_0^L\int_0^L\sqrt{(x_1-x_2)^2+(y_1-y_2)^2}\frac{1}{L^2}dx_1dy_1\frac{1}{L^2}dx_2dy_2$$

他方、x_1-x_2 の絶対値が x より小さい確率は

$$P(|x_1-x_2|\le x)=\frac{1}{L^2}(L^2-(L-x)^2)=\frac{1}{L^2}(2xL-x^2)=\int_0^x\frac{2}{L^2}(L-u)du$$

同様に

$$P(|y_1-y_2|\le y)=\frac{1}{L^2}(L^2-(L-y)^2)=\frac{1}{L^2}(2yL-y^2)=\int_0^y\frac{2}{L^2}(L-v)dv$$

従って、P，Q 間の距離の平均値 I は、

$$I=\int_0^L\int_0^L\sqrt{u^2+v^2}\frac{2}{L^2}(L-u)\frac{2}{L^2}(L-v)dudv$$

となる。ここで $u = Lx, v = Ly$ とおくと、$dudv = L^2dxdy$ となり、積分領域は $D = [0,1] \times [0,1]$ であり、平均値は積分、

$$4L \iint_D \sqrt{x^2+y^2}(1-x)(1-y)dxdy$$

となり、この積分を実行すると、結果は、

$$I = \frac{1}{15}L(5\log(1+\sqrt{2})+2+\sqrt{2})$$

となり、これは数値的には $0.521L$ となる。

B.2 直交する x , y 軸に沿って配線する場合

x 軸から y 軸、y 軸から x 軸へ何度移っても良いが、逆方向には行かないものとする。B.1 と同様にこの場合の平均配線長は、

$$I = \int_0^L \int_0^L \int_0^L \int_0^L \{(x_1-x_2)+(y_1-y_2)\}\frac{1}{L^2}dx_1dy_1\frac{1}{L^2}dx_2dy_2$$

と表される。前の場合と同様に $x_1 - x_2$ が x より小さいなどの確率を用いて、平均値は、領域、$D = [0,1] \times [0,1]$ に対する積分、

$$4L \iint_D (x+y)(1-x)(1-y)dxdy$$

で表され、積分結果は

$$I = \frac{2}{3}L$$

となり、数値的には 0.67 L となる。